

BRNO UNIVERSITY OF TECHNOLOGY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

DEPARTMENT OF CONTROL AND INSTRUMENTATION

Kolejní 4, 616 00 Brno

tel.: +420 5 4114 1113 fax: +420 5 4114 1123

E-mail: kucera@feec.vutbr.cz, <http://taceo.eu>



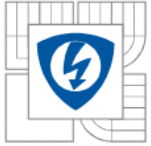
Operační Systémy Reálného Času

VI.

Pavel Kučera

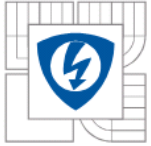
CAK, E112

kucera@feec.vutbr.cz



Obsah

1. Přístup k I/O
2. PIO-821 a VXC 142 DAQ
3. Práce s RTDLL knihovnamí
4. Knihovna dac_dll.rtdll
5. Zadání projektů



Architektura x86

ADS# Address Status - valid cycle and address

READY# Bus cycle complete

NA# Next Address - active even if the end of the current cycle is not being acknowledged on **READY#**

BS16# Bus Size 16 (D0-D15)

HOLD Other device requires bus mastership

HLDA Bus Hold Acknowledge

PEREQ Coprocessor Request

BUSY# Coprocessor Busy

ERROR# Coprocessor Error

INTR Maskable Interrupt Request (D0-D7 interrupt vector)

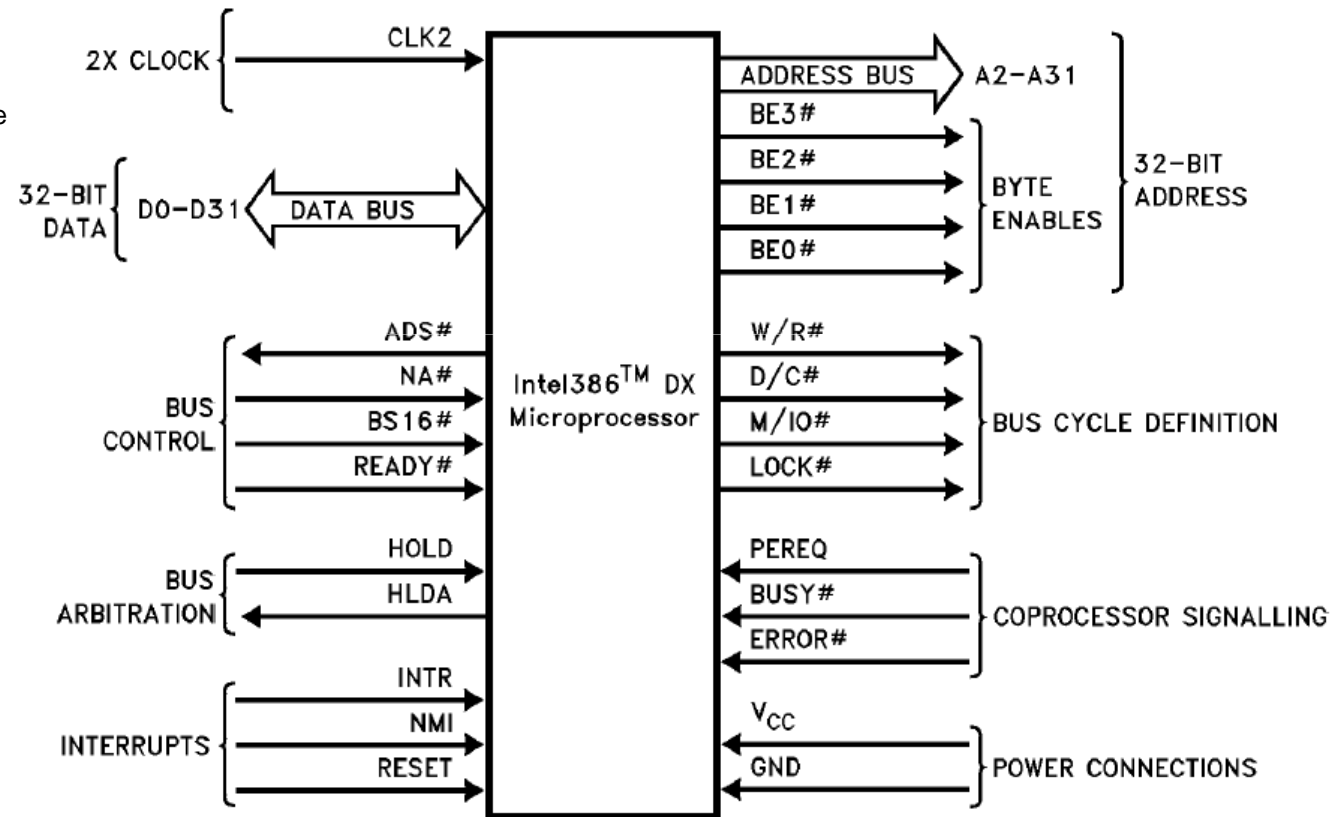
NMI Non-maskable Interrupt (slot 2 interrupt table)

BE0#-BE3#, A2-A31 Address Bus
4GB for memory, 64 KB for I/O

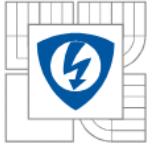
W/R# Write/Read cycle

D/C# Data/Control

M/IO# Memory/IO access

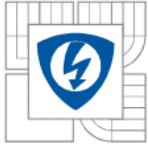


Zdroj: Intel 80386 reference manual

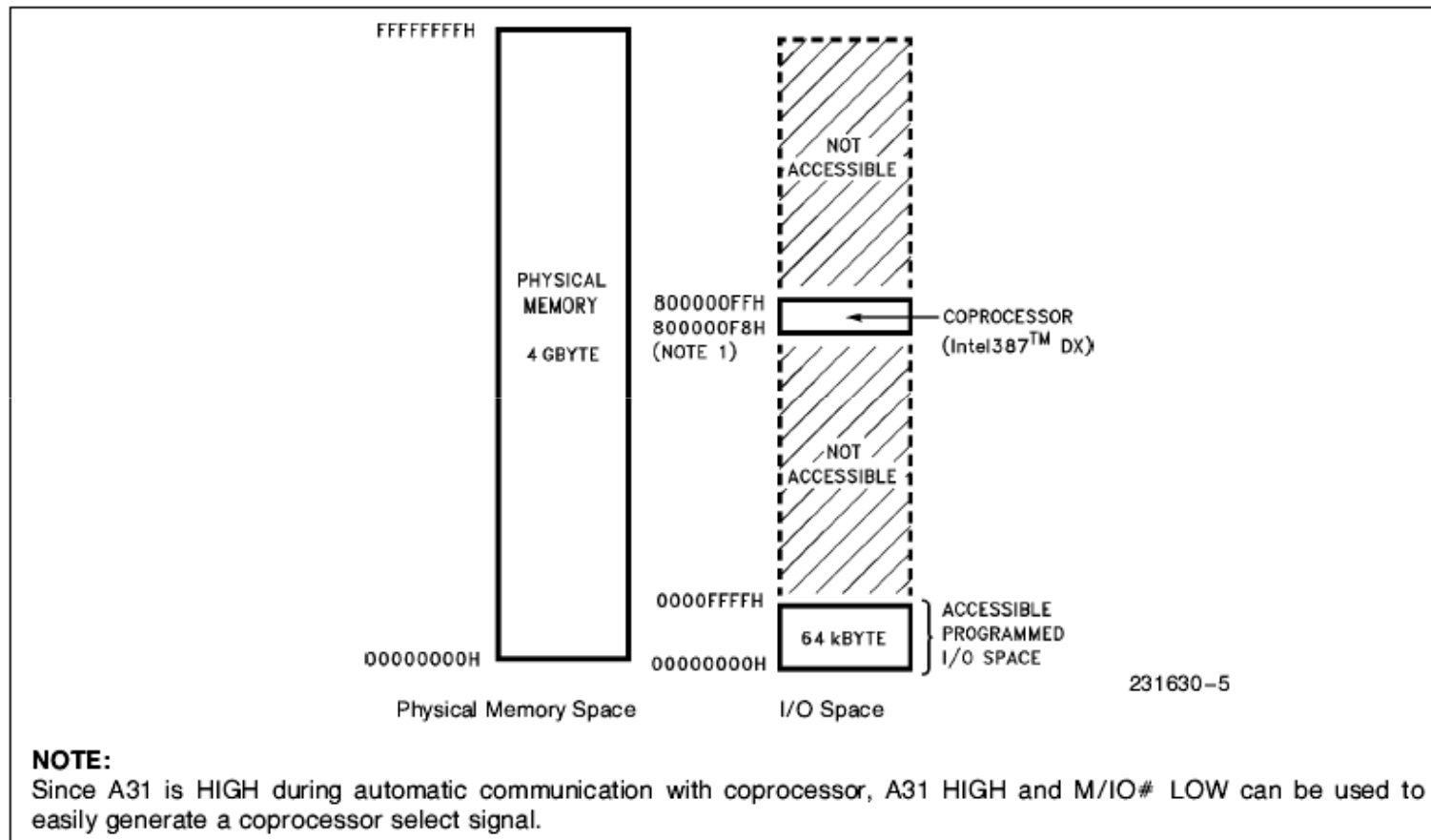


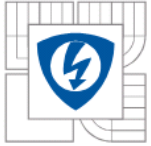
Architektura x86

M/IO #	D/C #	W/R #	Bus Cycle Type	Locked?				
Low	Low	Low	INTERRUPT ACKNOWLEDGE	Yes				
Low	Low	High	does not occur	—				
Low	High	Low	I/O DATA READ	No				
Low	High	High	I/O DATA WRITE	No				
High	Low	Low	MEMORY CODE READ	No				
High	Low	High	<table><tr><td>HALT: Address = 2</td><td>SHUTDOWN: Address = 0</td></tr><tr><td>(BE0 # High BE1 # High BE2 # Low BE3 # High A2–A31 Low)</td><td>(BE0 # Low BE1 # High BE2 # High BE3 # High A2–A31 Low)</td></tr></table>	HALT: Address = 2	SHUTDOWN: Address = 0	(BE0 # High BE1 # High BE2 # Low BE3 # High A2–A31 Low)	(BE0 # Low BE1 # High BE2 # High BE3 # High A2–A31 Low)	No
HALT: Address = 2	SHUTDOWN: Address = 0							
(BE0 # High BE1 # High BE2 # Low BE3 # High A2–A31 Low)	(BE0 # Low BE1 # High BE2 # High BE3 # High A2–A31 Low)							
High	High	Low	MEMORY DATA READ	Some Cycles				
High	High	High	MEMORY DATA WRITE	Some Cycles				



Architektura x86





Přístup k I/O v RTX

IN – Input from Port

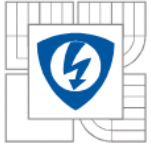
Opcode	Instruction	64-Bit Mode	Compat/ Leg Mode	Description
E4 <i>ib</i>	IN AL, <i>imm8</i>	Valid	Valid	Input byte from <i>imm8</i> I/O port address into AL.
E5 <i>ib</i>	IN AX, <i>imm8</i>	Valid	Valid	Input word from <i>imm8</i> I/O port address into AX.
E5 <i>ib</i>	IN EAX, <i>imm8</i>	Valid	Valid	Input dword from <i>imm8</i> I/O port address into EAX.
EC	IN AL,DX	Valid	Valid	Input byte from I/O port in DX into AL.
ED	IN AX,DX	Valid	Valid	Input word from I/O port in DX into AX.
ED	IN EAX,DX	Valid	Valid	Input doubleword from I/O port in DX into EAX.

Zdroj: Intel IA-32 Software Developer's manual

Přesune obsah určeného vstupního portu do akumulátoru:

- bajt z I/O portu do akumulátoru AL
- slovo (16 bitů) z I/O portu do akumulátoru AX
- dvojslovo (32 bitů) z I/O portu do akumulátoru EAX

Pokud je port v rozsahu 0-255 lze použít přímé adresování. V ostatních případech je nutné použít registr DX, rozsah I/O je tedy 0-65535.



Přístup k I/O v RTX

Stejně jako u IN a OUT instrukcí u architektury x86.

Zrychlují běh aplikace – není potřeba psát ovladač zařízení a volat jeho funkce kdykoliv je nutný přístup k danému zařízení.

I/O přístup k zařízení musí být ve Win32 povolen před tím, než-li začneme data z portu číst nebo zapisovat.

RtEnablePortIo povolí čtení/zápis z portu na dané adrese a daném rozsahu.

RtDisablePortIo zakáže čtení/zápis z portu na dané adrese a daném rozsahu.

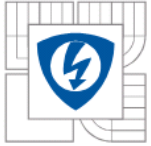
Funkce pro čtení/zápis z již povoleného portu:

RtReadPortUchar (Ushort) (Ulong)

RtWritePortUchar (Ushort) (Ulong)

RtReadPortBufferUchar (Ushort) (Ulong)

RtWritePortBufferUchar (Ushort) (Ulong)



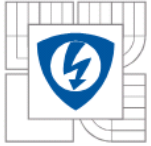
RTOS - VI



```
/* IO address for control register of the 8253 counter */
#define I8253_CW_PORT ((PUCHAR)0x43)
#define I8253_CW_PORT_RANGE 1 /* length of the control register */
#define I8253_DIV_PORT((PUCHAR)0x42) /* IO address for data register of the 8253 counter */
#define I8253_DIV_PORT_RANGE 1 /* length of the data register */
#define SPEAKER_PORT ((PUCHAR)0x61) /* IO address for speaker */
#define SPEAKER_PORT_RANGE 1 /* length of the speaker register */

/* Enable speaker access */
if (!RtEnableIo(SPEAKER_0x2F8, SPEAKER_0x2F8_RANGE)) {
    /* ERROR */
    ExitProcess(ERROR_RETURN);
}
/* Enable timer access */
if (!RtEnablePortIo(I8253_CW_PORT, I8253_CW_PORT_RANGE)) {
    /* ERROR */
    ExitProcess(ERROR_RETURN);
}
if (!RtEnablePortIo(I8253_DIV_PORT, I8253_DIV_PORT_RANGE)) {
    /* ERROR */
    ExitProcess(ERROR_RETURN);
}

/*
Set I8253 control register as 16 bits counter + signal generator + read/write 2 bytes +
counter No. 2
*/
RtWritePortUchar(I8253_CW_PORT, 0xB6);
```



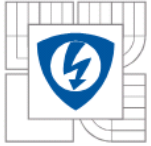
RTOS - VI



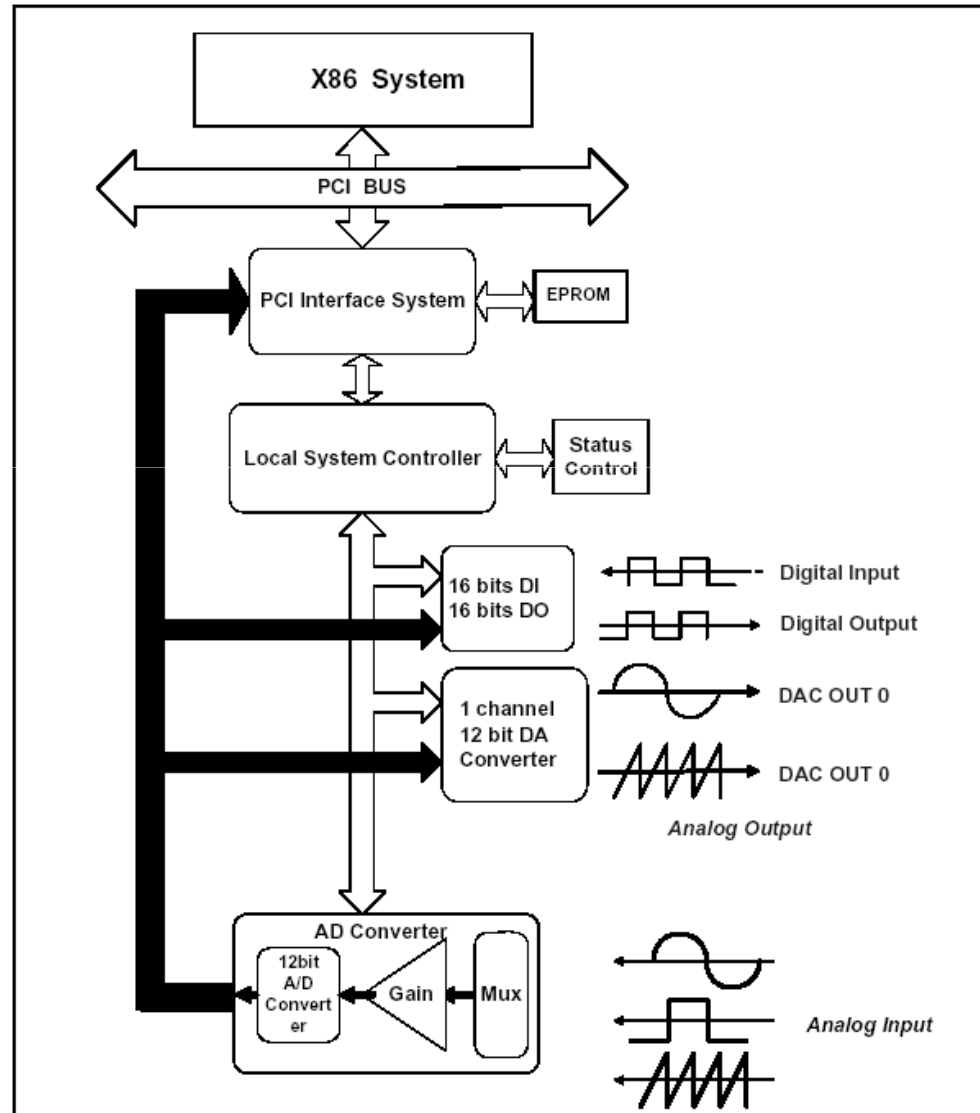
```
/* stop the speaker's gate */
pw = RtReadPortUchar(SPEAKER_PORT); /* Read speaker port register */
pw &= 0xF6;
RtWritePortUchar(SPEAKER_PORT, pw); /* Write out the new port value */

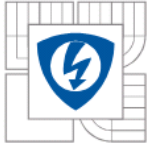
/* set new frequency */
RtWritePortUchar(I8253_DIV_PORT, data_low);
RtWritePortUchar(I8253_DIV_PORT, data_hi);

/* run the speaker's gate */
pw = RtReadPortUchar(SPEAKER_PORT); /* Read speaker port register */
pw |= 0x03;
RtWritePortUchar(SPEAKER_PORT, pw); /* Write out the new port value */
```



PIO-821





PIO-821

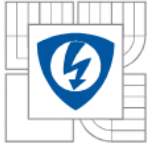
CN1				CN2			
DO0	1	2	DO1	DO0	1	2	DO1
DO2	3	4	DO3	DO2	3	4	DO3
DO4	5	6	DO5	DO4	5	6	DO5
DO6	7	8	DO7	DO6	7	8	DO7
DO8	9	10	DO9	DO8	9	10	DO9
DO10	11	12	DO11	DO10	11	12	DO11
DO12	13	14	DO13	DO12	13	14	DO13
DO14	15	16	DO15	DO14	15	16	DO15
D.GND	17	18	D.GND	D.GND	17	18	D.GND
5V+	19	20	12V+	5V+	19	20	12V+

Table 2.1: Pin assignment of CN1

Pin	Name	Pin	Name
1	Digital Input 0/TTL	2	Digital Input 1/TTL
3	Digital Input 2/TTL	4	Digital Input 3/TTL
5	Digital Input 4/TTL	6	Digital Input 5/TTL
17	Digital Input 6/TTL	8	Digital Input 7/TTL
9	Digital Input 8/TTL	10	Digital Input 9/TTL
11	Digital Input 10/TTL	12	Digital Input 11/TTL
13	Digital Input 12/TTL	14	Digital Input 13/TTL
15	Digital Input 14/TTL	16	Digital Input 15/TTL
17	PCB ground	18	PCB ground
19	PCB +5V	20	PCB +12V

Table 2.2: Pin assignment of CN2

Pin	Name	Pin	Name
1	Digital Output 0/TTL	2	Digital Output 1/TTL
3	Digital Output 2/TTL	4	Digital Output 3/TTL
5	Digital Output 4/TTL	6	Digital Output 5/TTL
7	Digital Output 6/TTL	8	Digital Output 7/TTL
9	Digital Output 8/TTL	10	Digital Output 9/TTL
11	Digital Output 10/TTL	12	Digital Output 11/TTL
13	Digital Output 12/TTL	14	Digital Output 13/TTL
15	Digital Output 14/TTL	16	Digital Output 15/TTL
17	PCB ground	18	PCB ground
19	PCB +5V	20	PCB +12V



PIO-821

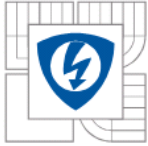
6.2 RESET\ the Control Register

When the PC is first power-up, the RESET\ signal is in Low-state. **This will disable all DIO operations.** The user has to set the RESET\ signal to High-state before using any D/A command. Note that **wBase** is the base address of PIO-821 board mapping from your PC.

Table 6.3: Read/Write control Register

(Read/Write): wBase+0

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	RESET\



PIO-821

Table 6.15: DI Low Byte Data Format

(READ): Base+0xd8

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
D7	D6	D5	D4	D3	D2	D1	D0

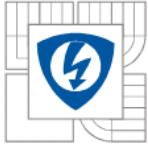
Table 6.16: DI High Byte Data Format

(READ): Base+0xdc

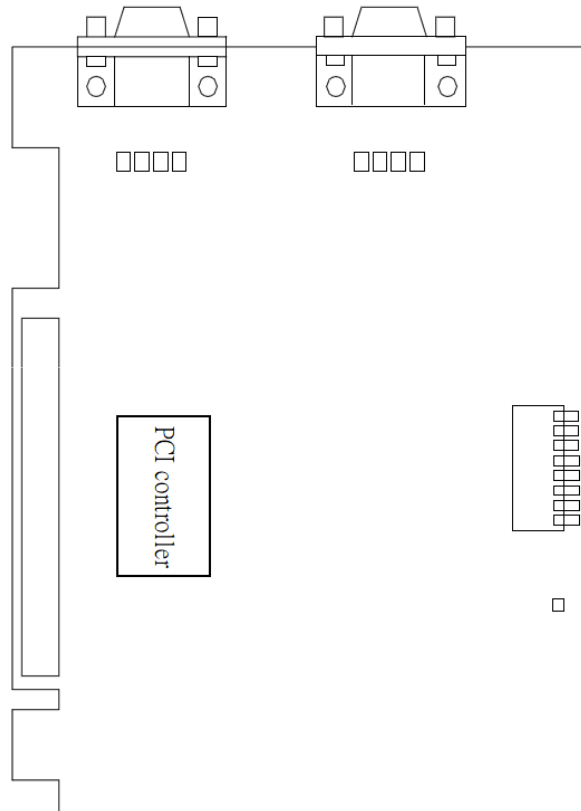
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
D15	D14	D13	D12	D11	D10	D9	D8

Zdroj:PIO-821 Reference Manual

Digitální výstupy jsou na stejných adresách pro zápis.

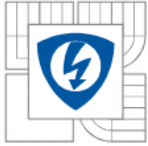


VXC-142



	VXC-112A	VXC-142	VXC-142i	VXC-182i
Common Features	<ul style="list-style-type: none"> ● 5V PCI Bus add-on card ● COM-Selector ● Provides surge protection ● LED diagnostic indicators ● 16-byte UART FIFO 			
RS-422/485	-	2-Port	2-Isolated	1-Isolated
RS-232	2-Port	-	-	1-Port
Self-tuner	-	Yes	Yes	Yes
Isolated	-	-	3KV	3KV

	VXC-112A	VXC-142	VXC-142i	VXC-182i
Data bit	5, 6, 7, 8			
Stop bit	1, 1.5, 2			
Parity	None, Even, Odd, Mark, Space			
Speed	50~115.2Kbps			
Connectors	2 x DB9 (Male)			
UART	2 x 16C550 Compatible			
Isolation	-	-	3 KV	3 KV (RS-422/485)
Operating Temperature	0~50°C			
Storage Temperature	-20 to 70°C			
Humidity	0~90% non-condensing			
Dimensions (mm)	140 x 95	130 x 105	140 x 95	140 x 95



IO zařízení – RS232

0. Registr (RBR, THR, DLL)

Má dvě funkce, které se odlišují bitem DLAB (7. bit 3. registru)

DLAB = 1 - registr obsahuje dolní bajt dělitele baud generátoru (DLL - R/W).

Horní bajt baud generátoru je uložen v 1. registru obvodu – viz popis 1. registru

DLAB = 0 - registr při zápisu (THR - W) slouží jako vysílací registr linky TxD (znak k odeslání). Při čtení (RBR - R) slouží jako přijímací registr linky RxD (přijatý znak).

1. Registr (IER, DLM)

Má dvě funkce, které se odlišují bitem DLAB (7. bit 3. registru)

DLAB = 1 - registr obsahuje horní bajt dělitele baud generátoru (DLM - R/W). Dolní bajt je uložen v 0. registru obvodu.

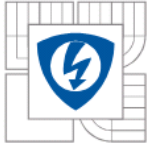
Obvod obsahuje programovatelný baud generátor jenž je možno řídit hodinovým kmitočtem od 0 až do 24Mhz. Dělička je schopna přijmout hodnotu od 2 do $2^{16} - 1$. Přenosová rychlost linky pak při napájecím kmitočtu krystalem o hodnotě 1.8432Mhz odpovídá následující tabulce:

DLAB = 0 - registr povolení přerušení (IER).

<i>Přenosová rychlost</i>	<i>Dekadický dělitel</i>	<i>Chybovost [%]</i>
50	2304	**
75	1536	**
110*	1047	0,026
134,5	857	0,058
150*	768	**
300*	384	**
600*	192	**
1200*	96	**
1800	64	**
2000	58	0,69
2400*	48	**
3600	32	**
4800*	24	**
7200	16	**
9600*	12	**
19200*	6	**
38400	3	**
56000	2	2,86

* Hodnota podporovaná OS MS-DOS (verze 6.22)

** Chybovost je menší než 0,01 %



IO zařízení – RS232

3. Registr (LCR)

Řídící registr linky (R/W), význam jednotlivých bitů je následující:

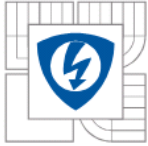
Bity 0 a 1: Určují počet bitů, které budou v každém znaku přenášeny.

<i>Bit 1</i>	<i>Bit 0</i>	<i>Délka slova</i>
0	0	5 bitů
0	1	6 bitů
1	0	7 bitů
1	1	8 bitů

Bit 2: Určuje počet STOP bitů, které budou doplněny při přenosu znaku.

<i>Bit 2</i>	<i>Délka Slova</i>	<i>Počet STOP bitů</i>
0	-	1
1	5 bitů	1,5
1	6,7 a 8 bitů	2

Pozn.: Přijímač kontroluje pouze první STOP bit, bez ohledu na to kolik STOP bitů je vybráno.



IO zařízení – RS232

Bit 3: Povolení parity. Když je v log. 1 pak je paritní bit generován (odesílaná data) a kontrolován (přijímaná data). V log. 0 se paritní bit negeneruje a nekontroluje.

Bit 4: log. 1 = generuje se sudá parita
log. 0 = generuje se lichá parita

Pozn.: Parita musí být předcházejícím bitem povolena.

Bit 5: Povolení trvalé parity. Když jsou bity 3, 4 a 5 v log. 1 pak je vždy paritní bit generován a kontrolován jako log. úroveň 0. Když jsou bity 3 a 5 v log. 1 a bit 4 v log. 0, pak je vždy paritní bit generován a kontrolován jako log. úroveň 1.

<i>Bit 5</i>	<i>Bit 4</i>	<i>Bit 3</i>	<i>parita</i>
0	0	0	n/n
0	0	1	lichá
0	1	0	n/n
0	1	1	sudá
1	0	0	n/n
1	0	1	trvalá 1
1	1	0	n/n
1	1	1	trvalá 0

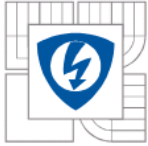
n/n – parita se negeneruje ani nekontroluje

Bit 6: Bit povolení zastavení. V log. 1 je sériový výstup linky klíčován stavem log. 0. V log. 0 je zastavení zablokováno. Bit se využívá při navazování spojení s DCE stanicí.

Bit 7: DLAB bit.

log. 1 – registry 0 a 1 obsahují R/W hodnotu děličky baud generátoru

log. 0 – registr 0 obsahuje přijatá data (RBR - R) a data k odeslání (THR - W), registr 1 obsahuje hodnoty IER



IO zařízení – RS232

5. Registr (LSR)

Registr stavu linky (R).

- Bit 0:** - data připravena (DR). Bit je nastaven do log. 1 kdykoliv je linkou přijat kompletní znak (tento je zapsán v RBR – 0.registr). Bit se vynuluje po přečtení registru RBR.
- Bit 1:** - indikace ztracení znaku (OE). Tento bit je nastaven do log. 1 vždy, když je v RBR zapsán nový přijatý znak, aniž by byl předchozí přečten. Bit se vystaví do log. 0 přečtením registru LSR.
- Bit 2:** - indikace chyby parity (PE). Tento bit je nastaven do log. 1 vždy, když detekovaná parita v přijatém znaku neodpovídá nastavené paritě (viz registr LCR). Bit se vystaví do log. 0 přečtením registru LSR.
- Bit 3:** - indikace neplatného STOP bitu (FE). Tento bit je nastaven do log. 1 vždy, když poslední bit za datovým popř. paritním bitem v přijímaném znaku je log. 0. Bit se vystaví do log. 0 přečtením registru LSR.
- Bit 4:** - indikace zastavení linky (BI). Tento bit je nastaven do log. 1 vždy, když je na lince detekována úroveň log. 0 déle, než by odpovídalo přenosu celého znaku, to jest START bitu + datových bitů + parity + STOP bitů. Bit se vystaví do log. 0 přečtením registru LSR.
- Bit 5:** - indikace vyprázdnění vysílacího registru (THRE). Tento bit je nastaven do log. 1 vždy, když je obsah vysílacího registru (THR) přesunut do posuvného registru vysílače (TSR). Je nastaven do log. 0 zapsáním hodnoty do THR.
- Bit 6:** - indikace vyprázdnění vysílače (TEMT). Tento bit je nastaven do log. 1 vždy, když je vysílací registr (THR) i posuvný registr vysílače (TSR) prázdný. Je nastaven do log. 0 kdykoliv THR nebo TSR obsahují nezpracovaný znak.
- Bit 7:** - v módu 16450 obsahuje vždy 0. V módu FIFO (pouze obvod 16550) je nastaven do log. 1 vždy, když alespoň jeden znak ve FIFO frontě vykazuje některou z chyb PE, FE nebo BI. Bit se vystaví do log. 0 přečtením registru LSR.



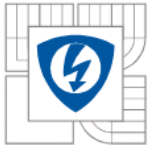
IO zařízení – RS232

Všechny uvedené registry jsou přístupné přes adresovací linky A0, A1 a A2 jak ukazuje následující tabulka:

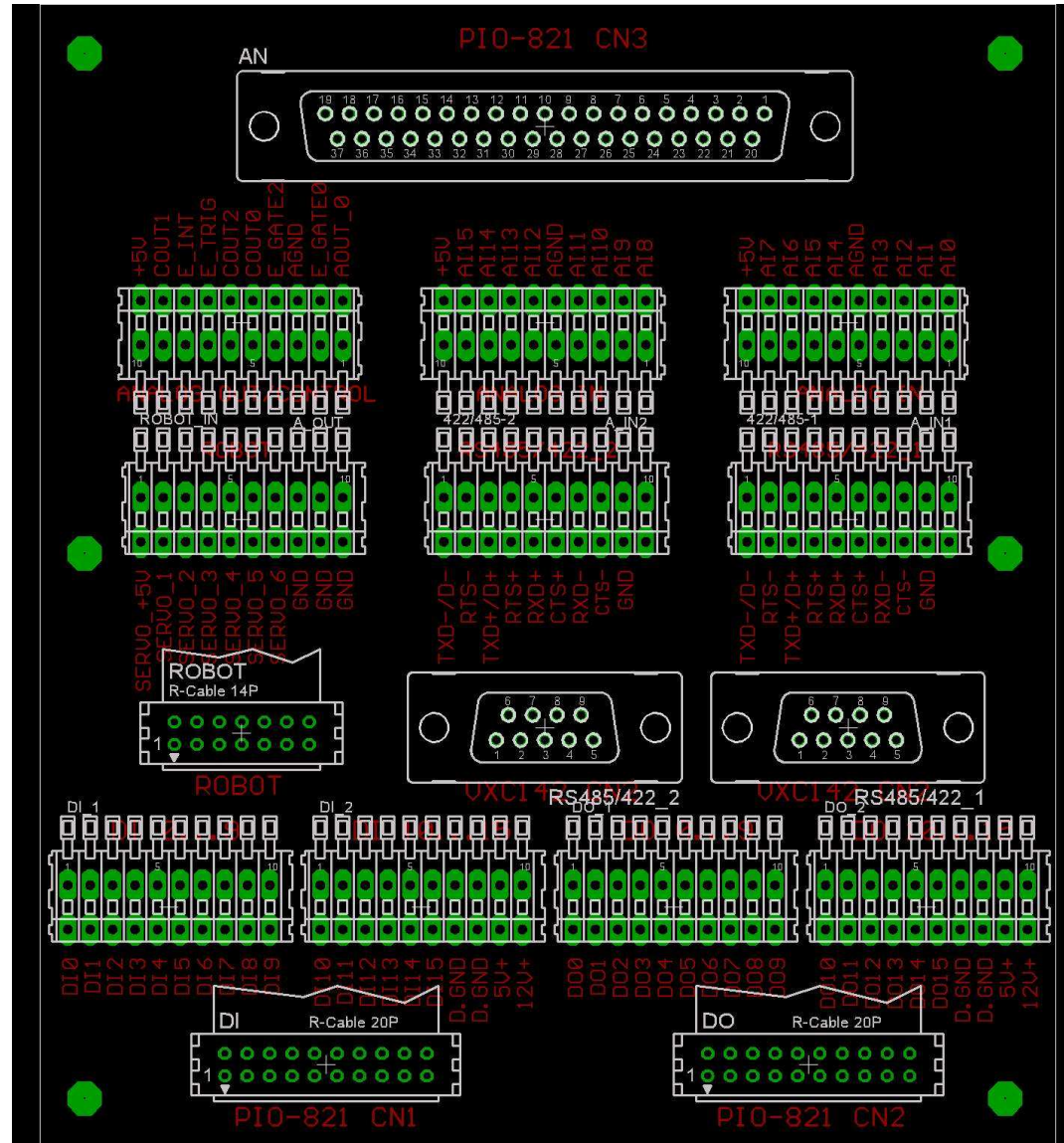
<i>Adresa</i>	<i>A2</i>	<i>A1</i>	<i>A0</i>	<i>DLAB</i>	<i>registr</i>
0	0	0	0	0	RBR (R), THR (W)
1	0	0	1	0	IER
2	0	1	0	X	IIR (R), FCR (W)
3	0	1	1	X	LCR
4	1	0	0	X	MCR
5	1	0	1	X	LSR
6	1	1	0	X	MSR
7	1	1	1	X	SCR
0	0	0	0	1	DLL
1	0	0	1	1	DLM

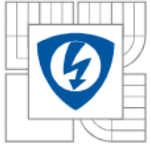
X – na stavu nezáleží

Na základní desce PC se běžně vyskytují 2 sériové linky (označované jako COM1 a COM2) což znamená existenci 2 obvodů PC16550D (či dnes spíše jednoho obvodu W83877TF nebo jiného). Rozhodně ale platí, že adresovací linky A0, A1 a A2 obvodu obsluhující port COM1 jsou na adresové sběrnici procesoru zamapovány od adresy 3F8_H a pro COM2 od adresy 2F8_H. Takže např. 5. registr portu COM1 neleží na adrese 5, ale na adrese 3F8_H+5_H = 3FD_H. Chceme-li tedy přečíst (do akumulátoru) z datové sběrnice registr stavu linky (LSR) portu COM1 vypadaly by instrukce pro procesor:



I/O DESKA



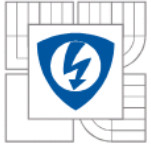


RTOS - VI



RTDLL

http://sciotech.cz/tc/lectures/mrts/data/RTX_RTDLL_en.pdf



Knihovna dac_dll.rtdll

Zjistí bázovou adresu karty PIO-821 nebo VXC142 na sběrnici PCI.

Název knihovny: dac_dll.rtdll

Funkce v knihovně: GetVXC142BaseAddress
 GetPIO821BaseAddress

Prototypy:

```
DWORD RTAPI GetVXC142BaseAddress();
```

```
DWORD RTAPI GetPIO821BaseAddress();
```

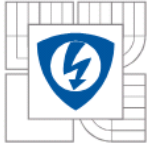
Návratový parametr:

< 0 chyba

> 0 číslo portu, na kterém byla karta na PCI sběrnici nalezena

Knihovnu je nutné zaregistrovat pomocí příkazu:

```
RTSSRun /dll dac_dll
```

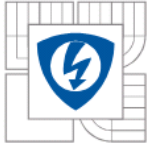


RTOS - VI

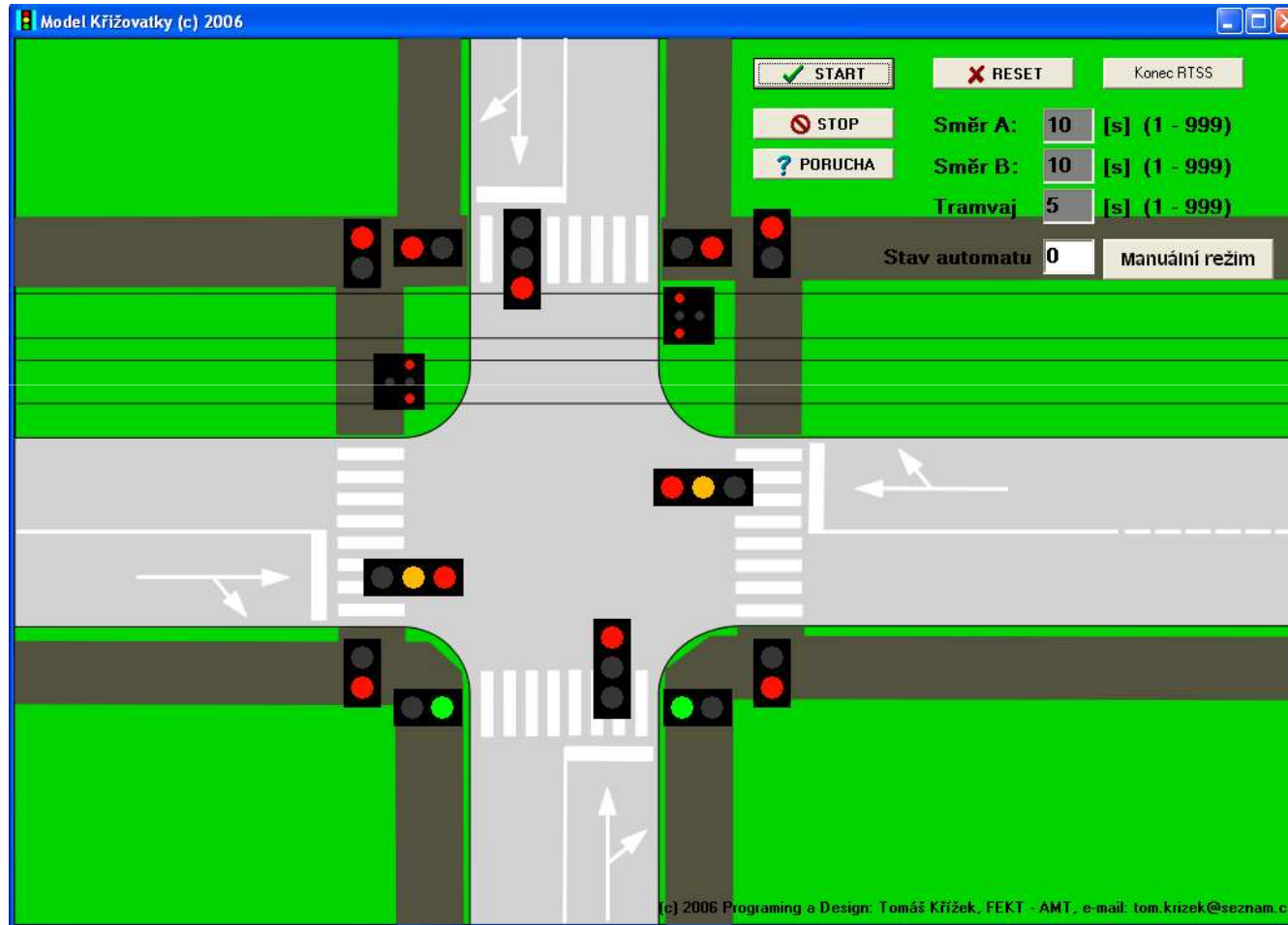


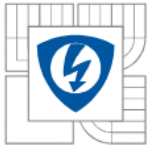
Zadání projektů

http://sciotech.cz/tc/mrts_zadani_projektu.php

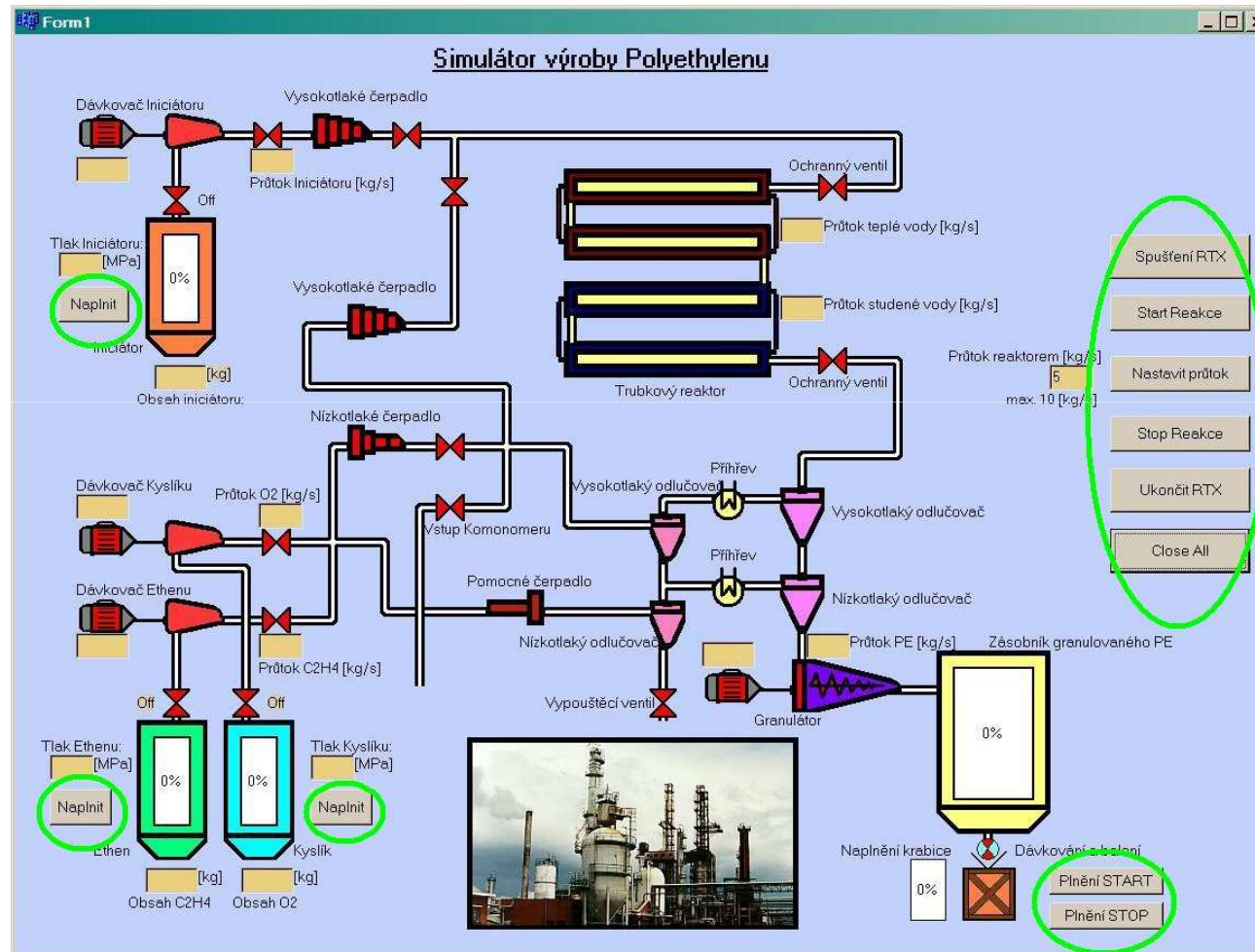


Projekty - inspirace

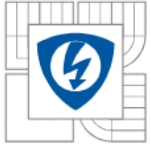




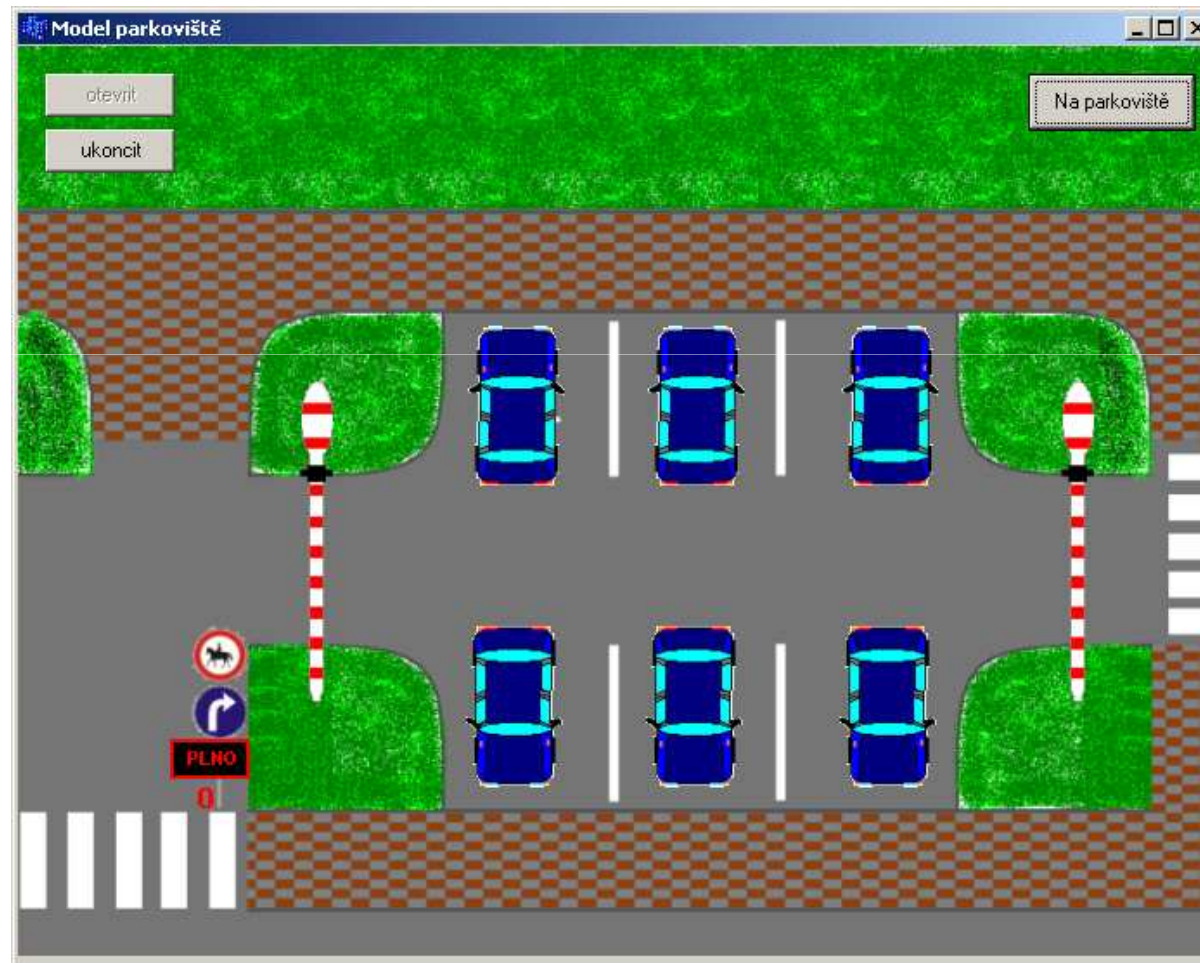
Projekty - inspirace



Zdroj: Kucka, P. Simulace výroby polyethylenu. *Projekt v kurzu MAUP*, VUT v Brně, 2006

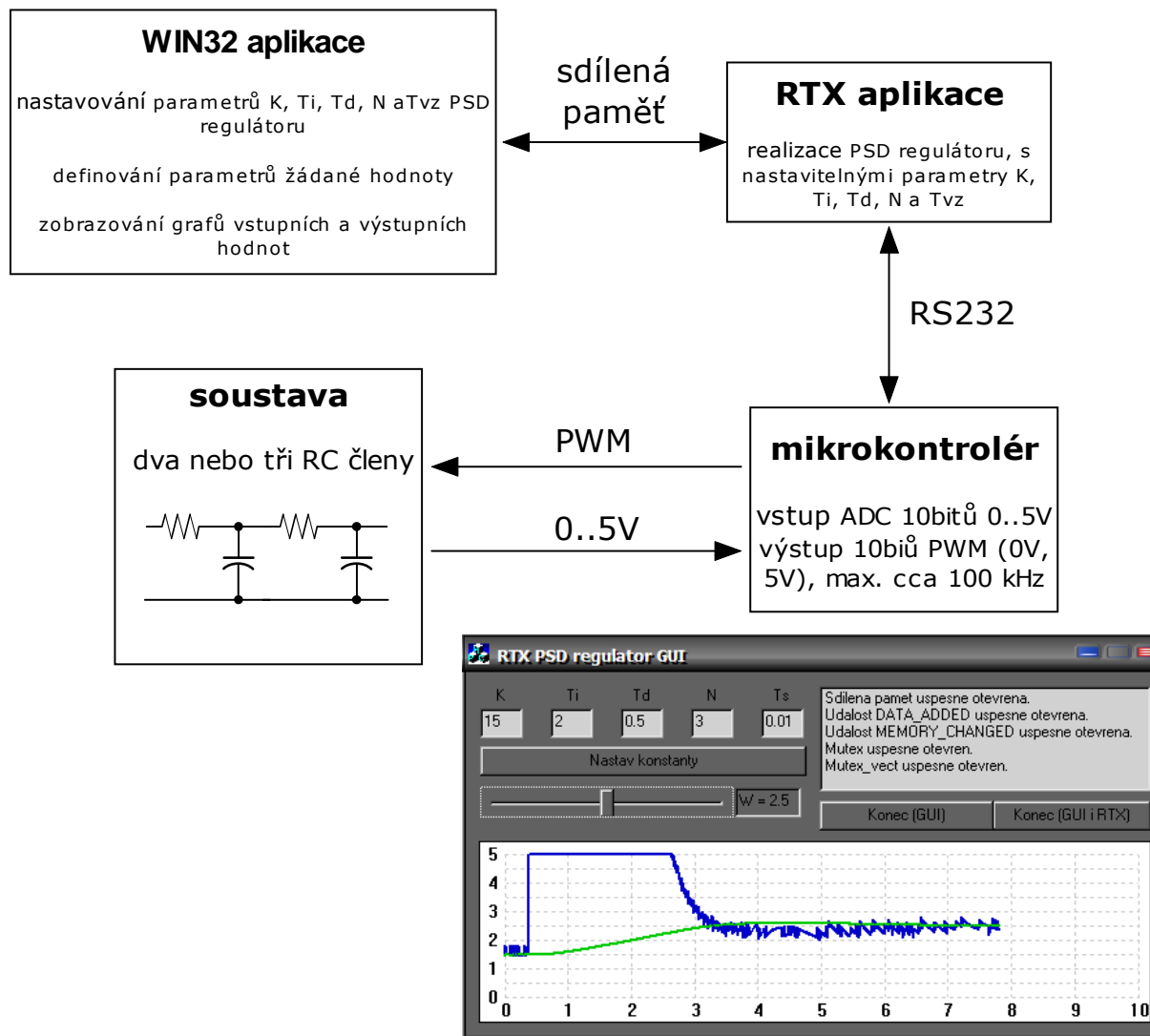


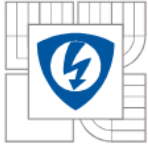
Projekty - inspirace



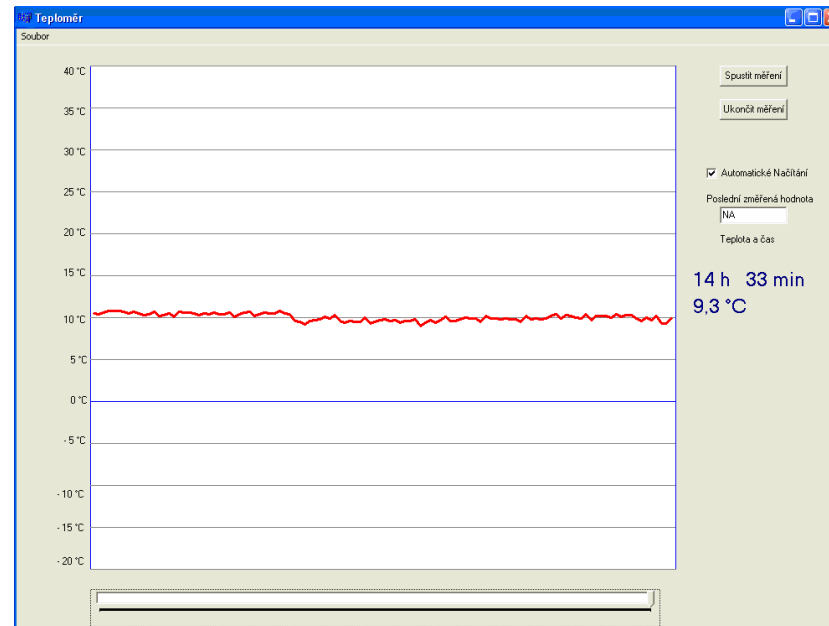
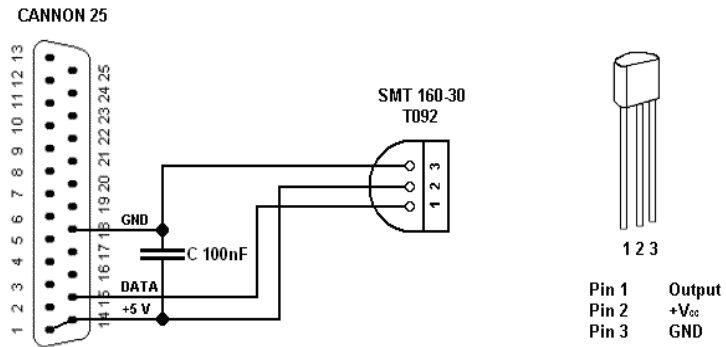


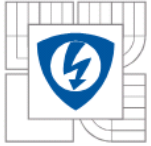
Projekty - inspirace



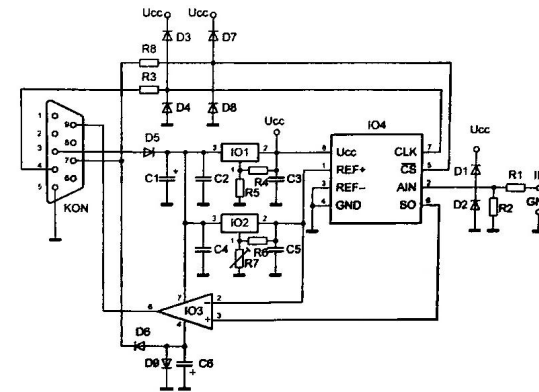
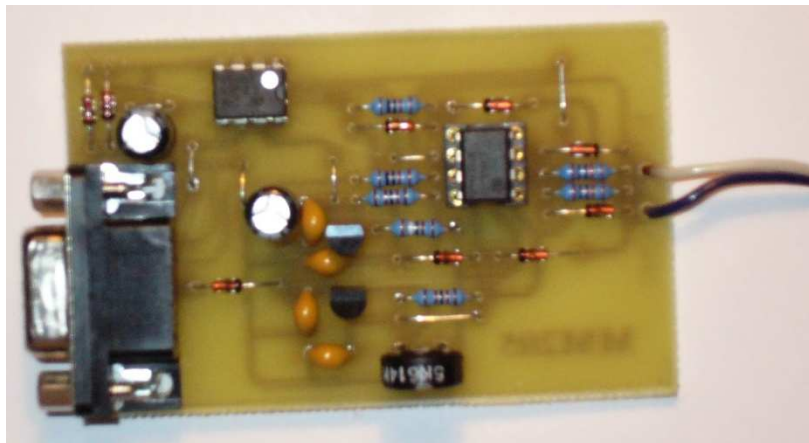
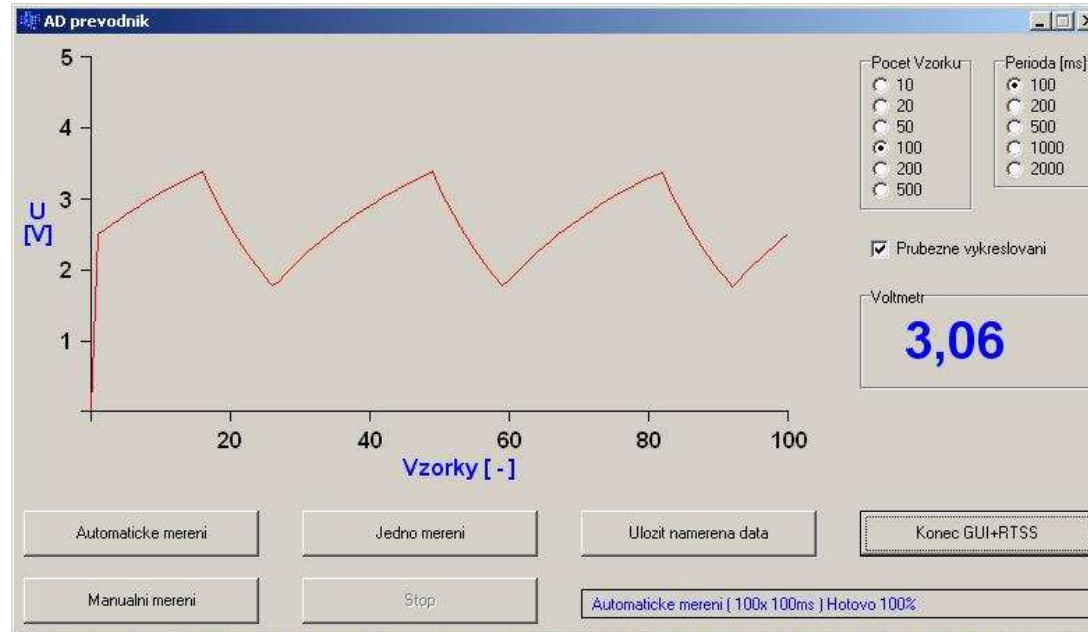


Projekty - inspirace



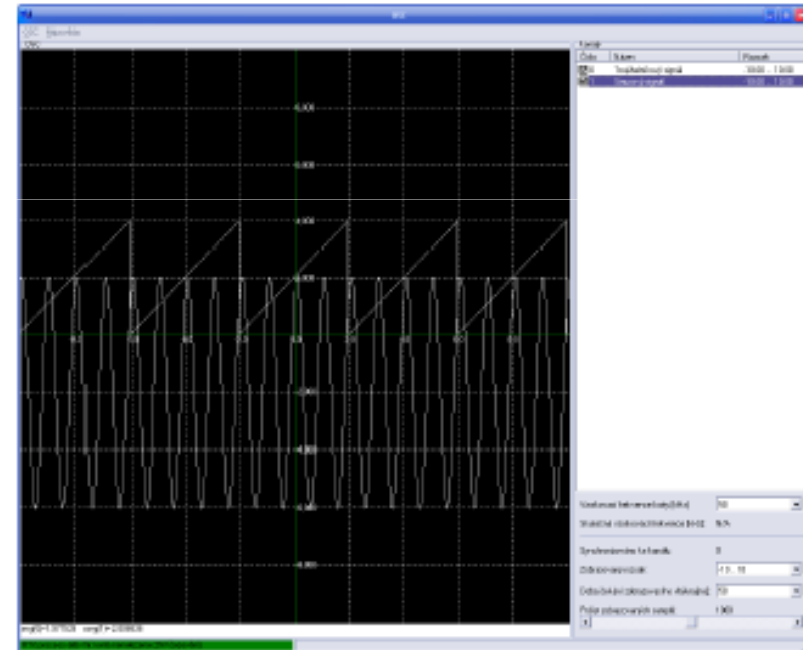
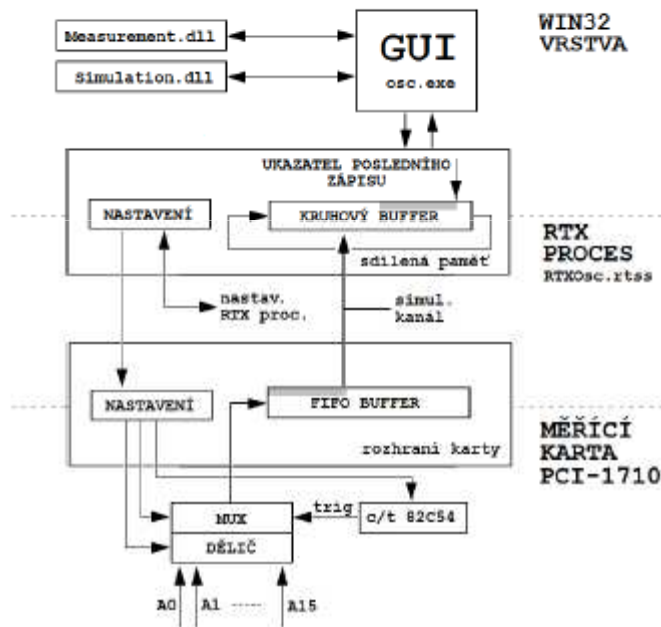


Projekty - inspirace

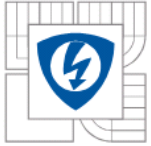




Projekty - inspirace



Zdroj: Dospěl, J., Hutýra, T., Juříček, T., Malina, J. Osciloskop pomocí DAQ. *Projekt v kurzu MAUP*, VUT v Brně, 2006



Projekty - inspirace

ANGLE	POSITION	SERVO BIT	MIN	SPEED	MAX
90 °		1 0			2000
90 °		2 1			2000
90 °		3 2			2000
90 °		4 3			2000
90 °		5 4			2000
90 °		6 5			2000

```
SPE>> 101, 101, 101, 101, 101, 101,  
POS>> 90, 90, 90, 90, 90, 90,  
DLY>> 4000,  
POS>> 159, 0, 90, 90, 90, 90,  
DLY>> 2000,  
POS>> 159, 0, 90, 90, 90, 104,  
DLY>> 1000,  
POS>> 159, 0, 90, 90, 90, 48,  
DLY>> 1000
```

InsSpeed
InsPosition
InsDelay
ms

SAVE LOAD CLR CLRALL RUN
EXIT START Rob

Zdroj: Dobias, M., Babinec, T. Aplikace pro ovládání modelu robotnického manipulátoru pomocí I/O karty PIO 821 v systému RTX. *Projekt v kurzu MRTS*, VUT v Brně, 2008